

Data Sheet
GM15001
产品特性

低压差: 2A 电流时为 400mV (最大值)
 线路、负载和全温度范围内的精度为 $\pm 1.5\%$
 输出电压噪声: $26\mu\text{VRMS}/0.5V_{\text{OUT}}$
 输入电压范围:
 - VIN: 0.75V 至 5.5V
 - BIAS: 1.7V 至 5.5V
 固定输出电压范围: 0.5V 至 3.7V (50mV 步进)
 可调输出参考电压: 0.8V
 电源纹波抑制: 70dB/1kHz
 快速负载瞬态响应
 输出使能控制

应用

区块链矿机
 摄像头模块
 可穿戴设备
 便携式医疗设备
 固态硬盘

概述

GM15001 是一款超小型、低静态电流、低压差稳压器 (LDO)。该器件能够实现 2A 的拉电流并具有出色的交流性能 (负载和线路瞬态响应)。该器件具有 0.75V 至 5.5V 的输入范围以及 0.5V 至 3.7V 的输出范围，并在负载、线路和温度上具有 1.5% 的极高精度。此性能非常适合于为更低的现代微控制器 (MCU) 内核电压和模拟传感器供电。

主电源路径通过 VIN，可连接至高于输出电压的值低至 150mV 的电源。该器件使用一个用于为 LDO 的内部电路供电的附加 VBIAS 电源轨，支持极低的输入电压。IN 和 BIAS 引脚

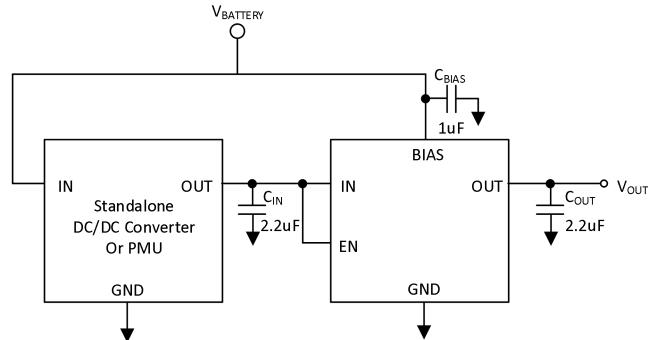

典型应用

图 1 GM15001 典型应用

分别消耗 $6.8\mu\text{A}$ 和 $26\mu\text{A}$ 的极低静态电流。低 IQ 和超低压降特性有助于提高功耗敏感型应用中解决方案的效率。例如，IN 引脚的电源电压可以是高效直流/直流降压稳压器的输出，而 BIAS 引脚电源电压可以是可再充电池。

GM15001 配备了一个有源下拉电路，用于在处于禁用状态时对输出进行快速放电，并提供已知的启动状态。

GM15001 采用小型 10 引脚 $3\text{mm} \times 3\text{mm}$ DFN 封装，具备较低的热阻，适用于对散热要求高的应用。同时还提供小型 6 引脚 $2\text{mm} \times 2\text{mm}$ DFN 封装，适用于空间受限型应用。

目录

产品特性	1	使能引脚	11
应用	1	主动放电	11
典型应用	1	内部折返电流限制	11
概述	1	热关断	11
版本历史	2	应用信息	12
方框图	3	推荐电容类型	12
引脚配置及功能描述	4	输入和输出电容	12
绝对最大额定值	6	压差电压	12
热阻	6	启用和关断	12
电气特性	7	电源建议	12
典型性能参数	8	应用信息	13
工作原理	11	外形尺寸	14
启用和关断	11	订购指南	16
欠压锁定 (UVLO)	11		

版本历史

12/24—Rev. 0

初稿

方框图

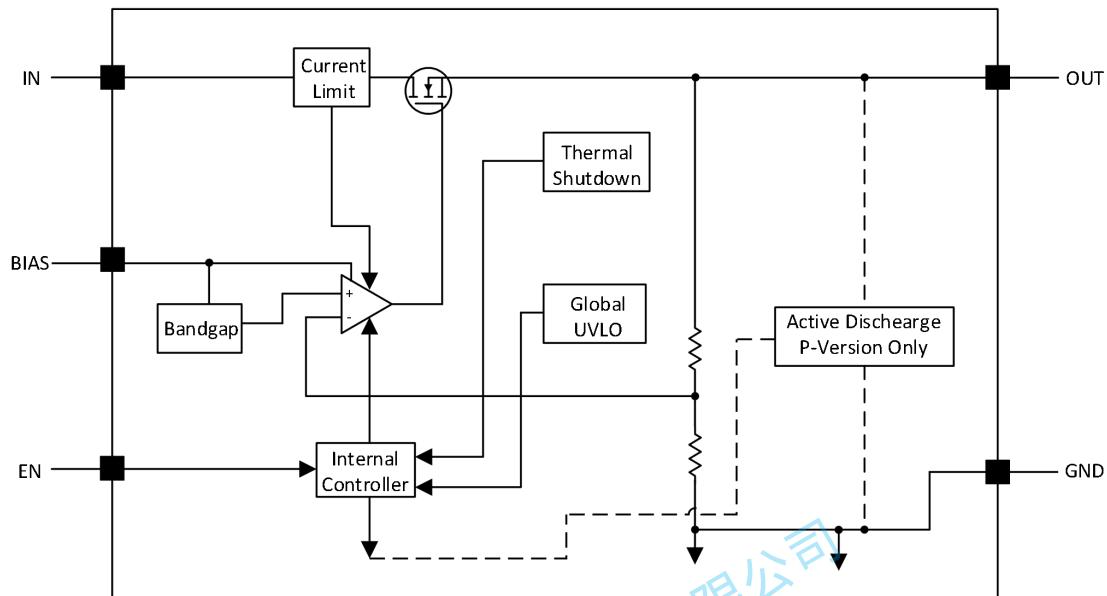
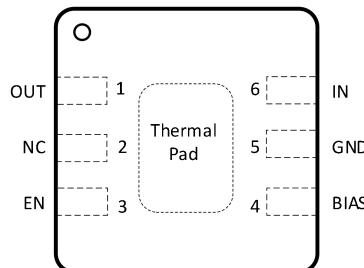


图 2. GM15001 固定输出方框图

引脚配置及功能描述



Not to scale
DFN 6-LEAD (2mmx2mm)
裸露焊盘必须焊接到 PCB 上

图 3 引脚配置

表 1. 引脚功能描述

引脚名	引脚号	描述
OUT	1	稳压输出引脚。为了保持稳定性, 需要在该引脚到 GND 之间 (尽可能靠近引脚) 放置一个 $2.2 \mu\text{F}$ 或更大的陶瓷电容, 将 OUT 引脚到负载的阻抗降至最低。
NC	2	不连接。
EN	3	使能引脚。将此引脚拉至高电平可以使能器件。将此引脚拉至低电平可禁用该器件。如果不需要使能功能, 则必须将此引脚连接到 IN 或 BIAS。
BIAS	4	偏置电源电压。该引脚允许使用低输入电压、低输出电压条件来降低芯片两端的功耗。该引脚和地之间必须连接一个 $1\mu\text{F}$ 或更大值的电容。
GND	5	接地引脚。这些接地引脚以及散热焊盘之间必须通过低阻抗连接。
IN	6	输入引脚。从 IN 引脚到地需要一个 $2.2\mu\text{F}$ 或者更大的陶瓷电容来降低输入的阻抗。将输入电容尽可能放置在靠近输入的位置。
EPAD		裸露焊盘。将此焊盘连接到大面积接地层。本焊盘内部连接到 GND。

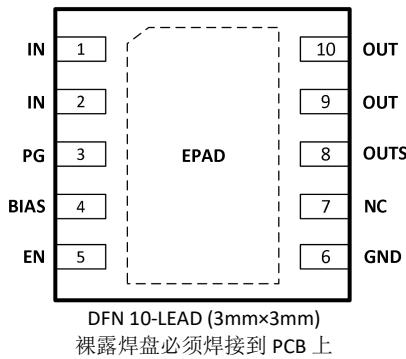


图 4 引脚配置

表 2. 引脚功能描述

引脚名	引脚号	描述
IN	1, 2	输入引脚。从 IN 引脚到地需要一个 $2.2\mu\text{F}$ 或者更大的陶瓷电容来降低输入的阻抗。将输入电容尽可能放置在靠近输入的位置。
PG	3	电源良好引脚。内部电源良好比较器的开漏输出。当输出电压低于 PG 阈值，该引脚被拉低。当 VIN 引脚电压低于 UVLO 时，芯片被关闭，此引脚也被拉低。
BIAS	4	偏置电源电压。该引脚允许使用低输入电压、低输出电压条件来降低芯片两端的功耗。该引脚和地之间必须连接一个 $1\mu\text{F}$ 或更大值的电容。
EN	5	使能引脚。将此引脚拉至高电平可以使能器件。将此引脚拉至低电平可禁用该器件。如果不需要使能功能，则必须将此引脚连接到 IN 或 BIAS。
GND	6	接地引脚。这些接地引脚以及散热焊盘之间必须通过低阻抗连接。
NC	7	不连接。
OUTS	8	输出反馈检测引脚。
OUT	9, 10	稳压输出引脚。为了保持稳定性，需要在该引脚到 GND 之间（尽可能靠近引脚）放置一个 $2.2\mu\text{F}$ 或更大的陶瓷电容，将 OUT 引脚到负载的阻抗降至最低。
EPAD		裸露焊盘。将此焊盘连接到大面积接地层。本焊盘内部连接到 GND。

绝对最大额定值

表 3:

参数	额定值
BIAS, EN, OUTS, PG 至 GND 电压	-0.3 V to +6 V
OUT 至 GND 电压	-0.3 V to $V_{IN}+0.3$ V
IN 至 GND 电压	-0.3 V to 6 V
存储温度范围	-65°C to +150°C
工作温度范围	-40°C to +125°C
焊接条件	JEDEC J-STD-020

达到或者高于最大额定值下的应用可能会对产品造成永久性损坏。
上表只是一个参考额定压力等级。不建议产品在上表所示条件，

或高于上表所示条件的运行，长时间超过最大运行条件的运行可能会影响产品的可靠性。

热阻

θ_{JA} 适用于最坏情况，即器件焊接在电路板上以实现表贴封装。

表 4:

封装类型	θ_{JA}	单位
6-引脚, 2 mm × 2 mm DFN	72	°C/W
10-引脚, 3 mm × 3 mm DFN	43	°C/W

电气特性

除非另有说明, $V_{IN} = V_{OUT} + 0.5V$, $C_{IN}=2.2\mu F$, $C_{OUT}=2.2\mu F$, $V_{BIAS} = V_{OUT} + 1.4V$, $I_{OUT} = 1mA$, $T_J = -40^{\circ}C$ to $+125^{\circ}C$ (对于最小/最大值规格), $T_A = 25^{\circ}C$ (对于典型规格)。

表 5.

符号	参数	测试条件/注释	最小值	典型值	最大值	单位
V_{UVLO}	最小 IN 电压	$V_{BIAS} = 3.0V$	500	600	710	mV
V_{UVLO_HYS}	V_{IN_UVLO} 迟滞	$V_{BIAS} = 3.0V$		110		mV
V_{BIAS_UVLO}	最小 BIAS 输入电压			1.50	1.61	V
$V_{BIAS_UVLO_HYS}$	V_{BIAS_UVLO} 迟滞		1.32	1.37		V
I_{GND}	GND 引脚电流	$I_{OUT} = 0mA$		6.8		μA
		$I_{OUT} = 2A$			10	mA
		关断, $V_{IN} = 5.5V$, $V_{EN} = 0.5V$		0.2		μA
I_{BIAS}	BIAS 引脚电流	$I_{OUT} = 0mA$		26		μA
		$I_{OUT} = 2A$		2.2		mA
		关断, $V_{IN} = V_{BIAS} = 5.5V$, $V_{EN} = 0.4V$			6	μA
V_{OUT}	输出电压	范围	0.5	3.7		V
		精度	0.5V $\leq V_{OUT} \leq 3.7V$, 1mA $\leq I_{OUT} \leq 2A$, over V_{IN} , $V_{OUT} + 1.4V \leq V_{BIAS} \leq 5.5V$	-1.5%	1.5%	
$\Delta V_{OUT}/\Delta V_{IN}$	电压调节	$V_{IN} = V_{OUT} + 0.5V$ to $5.5V$		0.002		%/V
$\Delta V_{OUT}/\Delta V_{BIAS}$	电压调节	$V_{BIAS} = V_{OUT} + 1.4V$ to $5.5V$		0.2		%/V
$\Delta V_{OUT}/\Delta I_{OUT}$	负载调节	$0.1mA \leq I_{OUT} \leq 2A$		0.5		%/A
V_{DO_IN}	IN 压差电压 ⁽²⁾	$V_{IN} = V_{OUT(nom)} - 0.1V$, $I_{OUT} = 500mA$ ⁽¹⁾	54	120		mV
		$V_{IN} = V_{OUT(nom)} - 0.1V$, $I_{OUT} = 2A$	200	400		
V_{DO_BIAS}	BIAS 压差电压 ⁽²⁾	$I_{OUT} = 500mA$	0.9	1.2		V
		$I_{OUT} = 2A$	1.2	2.3		
I_{LIM}	输出电流限制	V_{OUT} 外加 $0.9 \times V_{OUT(nom)}$, $V_{IN} = V_{OUT(nom)} + 0.5V$	2.3	2.9		A
V_{EN_IL}	EN 引脚低电平输入电压			0.6	0.4	V
V_{EN_IH}	EN 引脚高电平输入电压		0.9	0.73		V
I_{EN}	EN 引脚电流	$V_{IN} = 3.3V$, $V_{EN} = 0V$ and $5.5V$	-0.1		0.1	μA
T_{SS}	启动时间	EN assertion to $0.95 \times V_{OUT(nom)}$		500		μs
T_{SS_DEALY}	启动延时时间	Delay time from EN or UVLO to startup		500		μs
R_{DIS}	放电电阻	$V_{BIAS} = 3.3V$, $V_{EN} = 0V$		430		Ω
$PSRR_IN$	IN 电源纹波抑制	$f = 1kHz$, $V_{OUT} = 1.0V$, $I_{OUT} = 1A$	70			dB
		$f = 100kHz$, $V_{OUT} = 1.0V$, $I_{OUT} = 1A$	63			
V_N	输出噪声	$10Hz$ to $100kHz$, $V_{OUT} = 1.0V$, $I_{OUT} = 2A$		26		$\mu VRMS$
T_{SD}	热关断温度	关断阈值, 温度不断上升		160		$^{\circ}C$
		开机阈值, 温度不断下降		15		$^{\circ}C$

(1) $V_{OUT(nom)}$ 是 V_{OUT} 预设目标值。

(2) 压差未测试 $V_{OUT} < 1.0V$ 。

典型性能参数

除非另有说明, $V_{IN} = V_{OUT} + 0.4V$, $V_{BIAS} = V_{OUT} + 1.2V$, $I_{OUT} = 10mA$, $C_{IN} = 2.2\mu F$, $C_{OUT} = 4.7\mu F$ 。

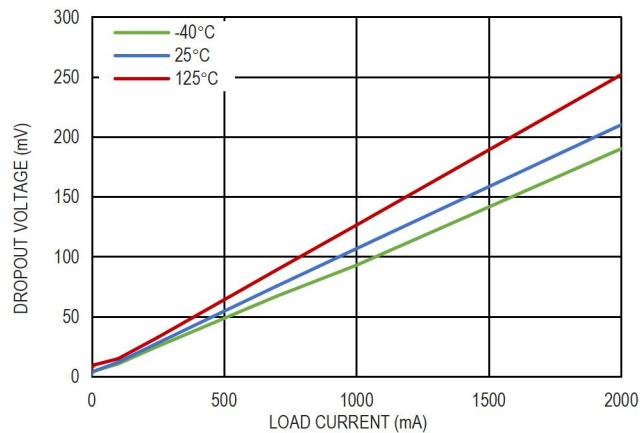


图 5. 压差电压和负载电流的关系, $V_{OUT}=0.8V$

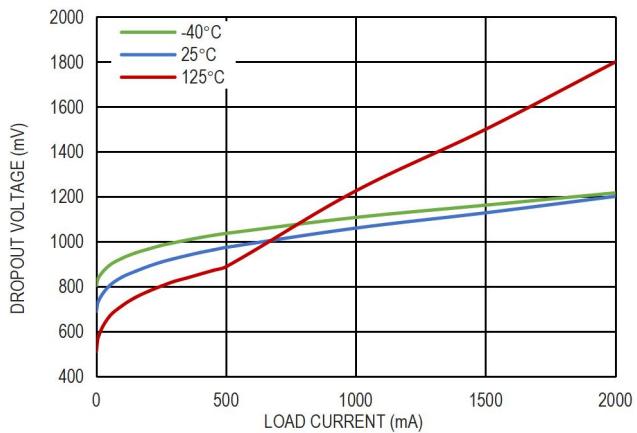


图 6. 压差电压和 V_{BIAS} 的关系, $V_{OUT}=1.8V$

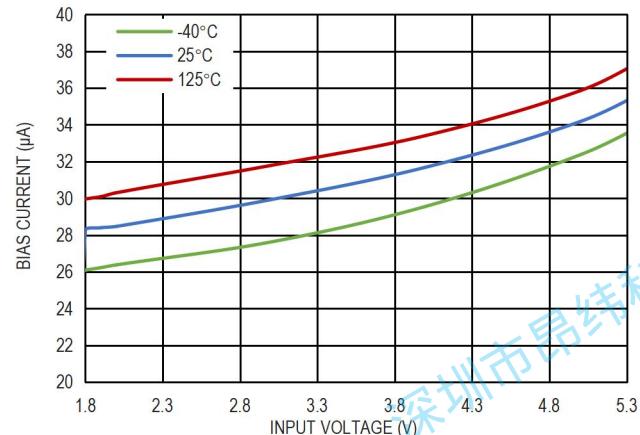


图 7. BIAS 静态电流和输入电压的关系, $I_{OUT} = 0mA$

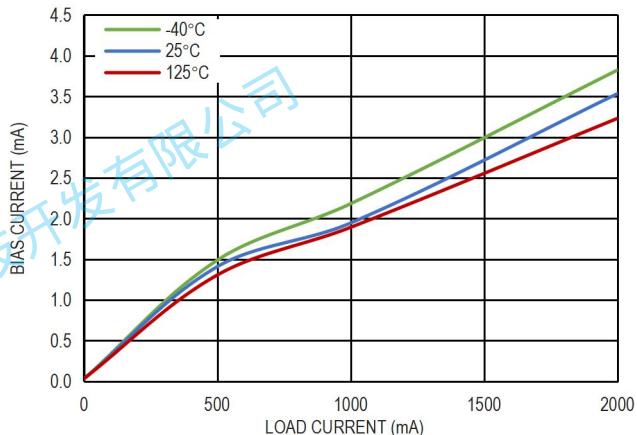


图 8. BIAS 静态电流和负载电流的关系, $V_{OUT}=0.8V$

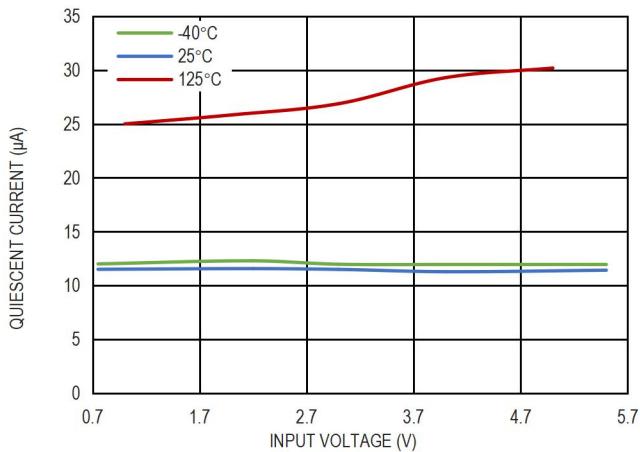


图 9. VIN 静态电流和输入电压的关系, $I_{OUT} = 0mA$

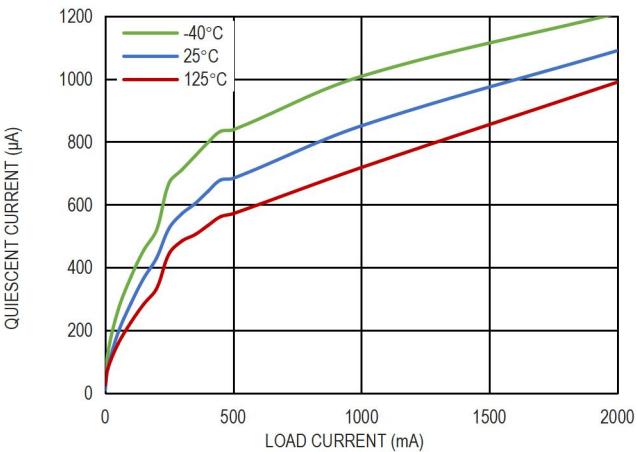


图 10. VIN 静态电流和负载电流的关系, $V_{OUT}=0.8V$

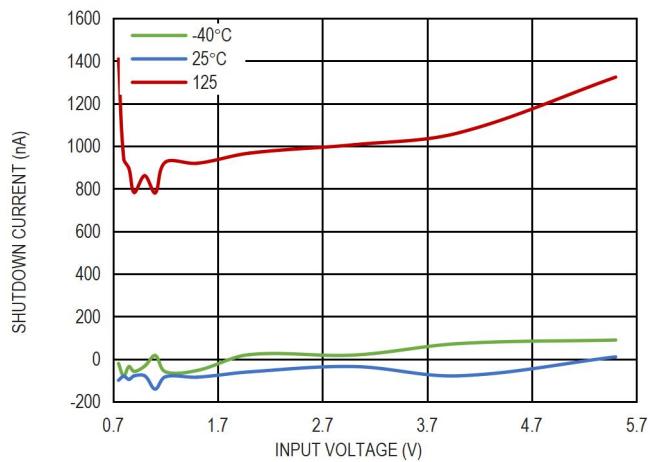


图 11. VIN 关机电流和输入电压的关系

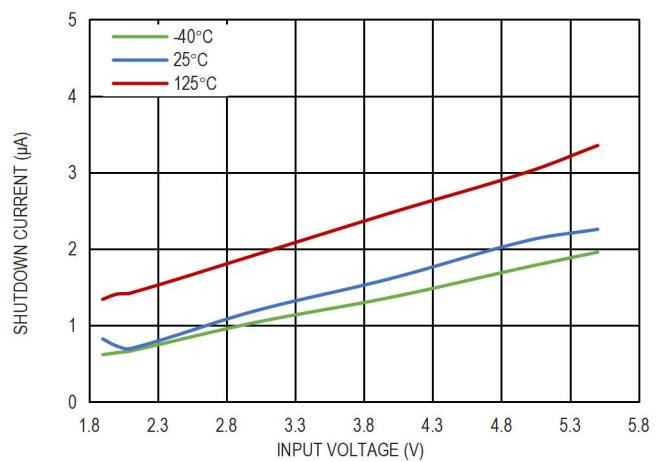


图 12. BIAS 关机电流和输入电压的关系

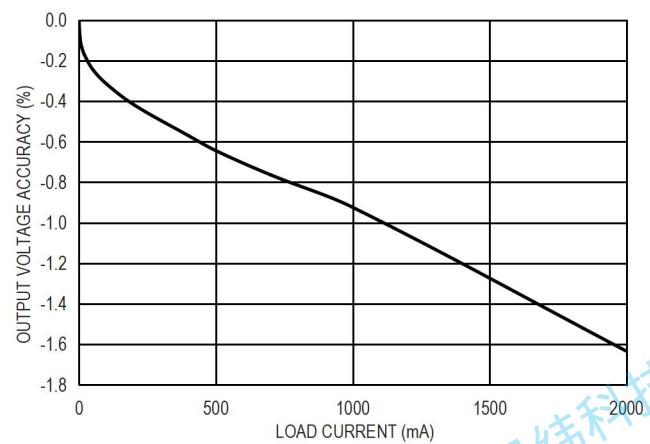


图 13. 输出电压精度和负载电流的关系

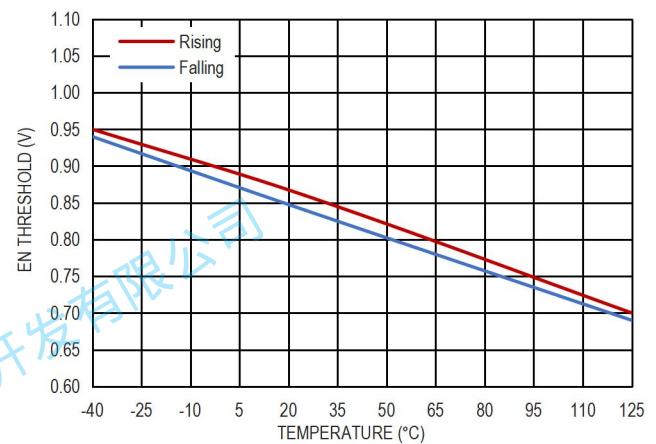


图 14. EN 阈值和温度的关系

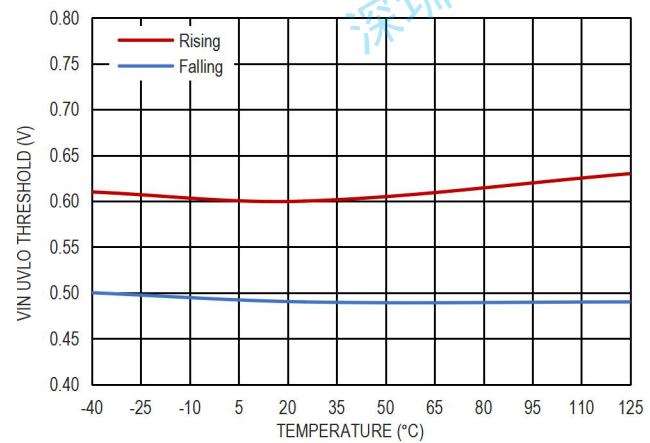


图 15. VIN UVLO 阈值和温度的关系

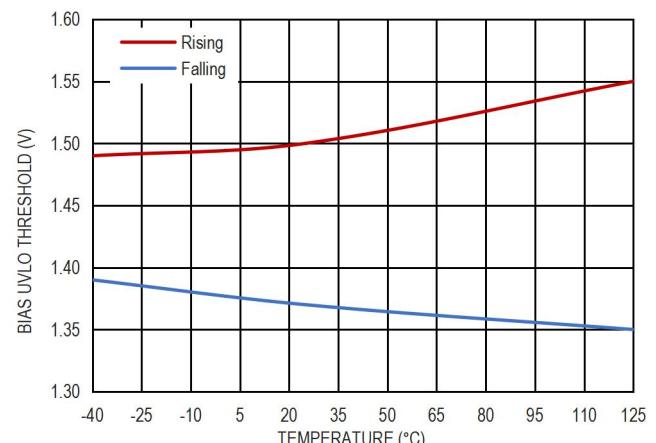


图 16. BIAS UVLO 阈值和温度的关系

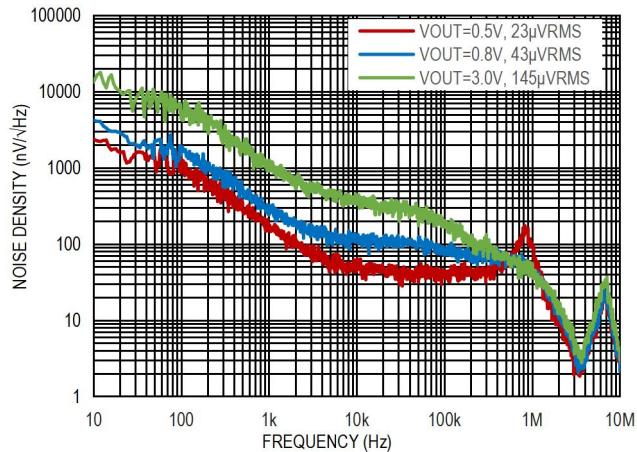


图 17. 输出噪声谱密度

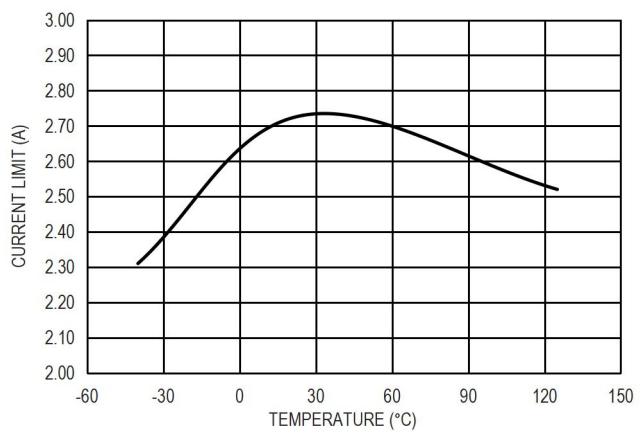


图 18. 输出限流值和温度的关系

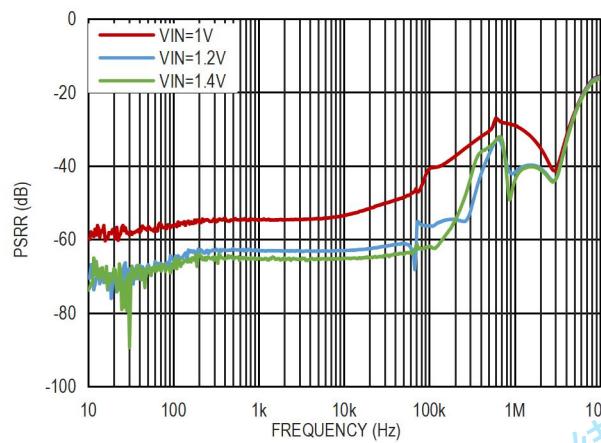


图 19. 电源电压纹波抑制比与压差的关系, $V_{OUT}=0.8V$, $I_{OUT}=500mA$

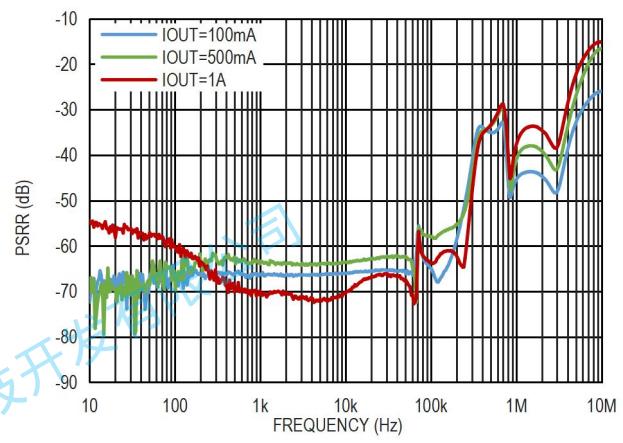


图 20. 电源电压纹波抑制比与负载的关系, $V_{OUT}=0.8V$

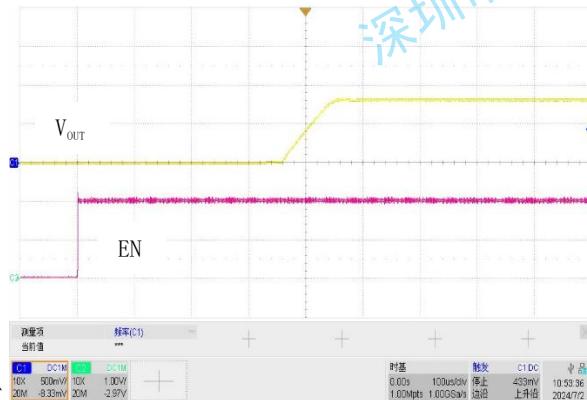


图 21. 软启动, $V_{IN}=1.2V$, $V_{OUT}=0.8V$, $I_{OUT}=2A$

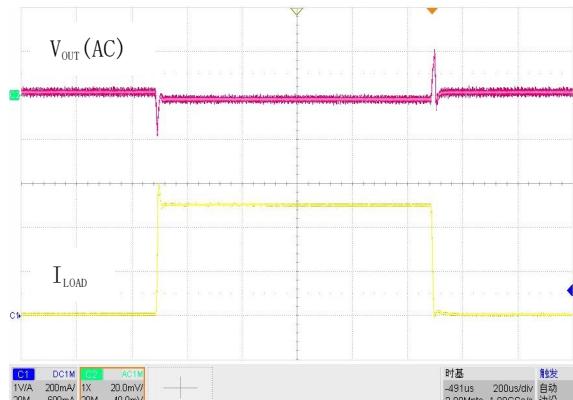


图 22. 负载瞬态响应, $V_{IN}=1.2V$, $V_{OUT}=0.8V$, $I_{OUT}=1mA$ to $500mA$

工作原理

GM15001 是一款低输入、超低压差和低静态电流的线性稳压器，同时提供出色的瞬态性能。这些特性使得该器件非常适合电池供电的应用。该器件的 **BIAS** 引脚功能大大提高了低电压输出应用的效率，通过允许使用一个预调节的低电压输入电源，提供次带隙输出电压。这款低压差稳压器 (LDO) 提供了折返电流限制、关断、热保护、2% 的高输出电压精度（在推荐的结温范围内）以及可选的主动放电功和启动延时功能。

启用和关断

IN、**BIAS** 和 **EN** 引脚的电压可以以任何顺序进行排序，而不会对设备造成损坏。启动始终是单调的，无论排序顺序或 **IN**、**BIAS** 和 **EN** 引脚的斜率如何。为了获得最佳的设备性能，在启用设备之前应该存在 V_{BIAS} ，因为设备的内部电路是由 V_{BIAS} 供电的，同时保证 $V_{BIAS} > V_{OUT} + V_{DO_BIAS}$ 。

欠压锁定 (UVLO)

GM15001 有两个欠压锁定电路：一个在 **BIAS** 引脚上，另一个则在 **IN** 引脚上，以防止设备在 V_{BIAS} 和 V_{IN} 中的任何一个在其锁定电压之前开启。这两个 UVLO 信号通过一个 AND 门在内部连接。当这两个电源任何一个电压低于其锁定电压时，则设备关闭。

使能引脚

该器件的使能引脚为主动高电平。当使能引脚电压大于 **EN** 引脚逻辑高电压时，设备的输出打开；当使能引脚电压小于 **EN** 引脚逻辑低电压时，设备的输出关闭。在使能引脚上的电压小于 **EN** 引脚逻辑低电压时，将禁用所有内部电路。

主动放电

主动放电选项具有一个内部下拉 MOSFET，当设备被禁用时，内部通过一个 $120\ \Omega$ 的电阻到地，以主动泄放输出电容电压。主动放电电路通过将使能引脚驱动至逻辑低电平来禁用设备，或者当设备处于热关断状态时激活。

禁用设备后的放电时间取决于输出电容 (C_{OUT}) 和与 $120\ \Omega$ 下拉电阻并联的负载电阻 (R_L)。

不要依赖主动放电电路来放电大量的输出电容，因为在输入电源崩溃后可能会出现从输出到输入的反向电流。这种反向电流可能会损坏设备。建议将反向电流限制在不超过设备额定电流的 5%。

内部折返电流限制

内部折返电流限制电路用于保护 LDO 免受高负载电流故障或短路事件的影响。折返机制在输出电压降低时降低电流限制，并在短路事件期间限制功耗，同时仍允许设备以额定输出电流运行。例如，当 V_{OUT} 为 $V_{OUT}(\text{nom})$ 的 90% 时，电流限制为 I_{CL} (典型值)；但是，如果 V_{OUT} 被强制为 0 V，则电流限制为 I_{SC} (典型值)。在许多 LDO 中，折返电流限制可以防止启动成为恒定电流负载或负偏输出。当 V_{OUT} 为 $V_{OUT}(\text{nom})$ 的 90% 时，此器件的折返机制开始起作用，从而将电流限制为 I_{CL} (典型值)。当 V_{OUT} 接近 0 V 时，为了在各种负载下能够正常启动，电流被限制为 I_{SC} (典型值)。由于这些条件下通常存在的高功耗，热关断可能会被激活。为了确保正确的电流限制状态，请将输入和负载线路的电感最小化。不建议在电流限制状态下连续运行。

热关断

该器件集成熟热关断保护电路，当主功率管的结温 (T_J) 升至热关断温度 (T_{SD}) 时，该电路将禁用该器件。热关断磁滞确保当温度降至复位的 T_{SD} 时（以开启），LDO 将再次恢复工作。

半导体芯片的热时间常数相当短，因此当达到热关断时，设备可能会周期性地开关，直到功耗降低。

为了可靠运行，请将结温限制在最高 125°C 。超过 125°C 将导致设备超出工作温度规范。尽管器件的内部保护电路设计用于保护免受热过载条件的影响，但该电路并不意味着能取代适当的散热。持续将设备运行至热关断或超过 125°C 的结温会降低长期可靠性。

当 T_J 大于复位的 T_{SD} 时快速启动（典型值，超出指定的工作范围）会导致热关断在复位的 T_{SD} 处触发，并防止设备启动，直到结温降至复位的 T_{SD} 以下。

应用信息

在应用中成功设计 LDO 取决于应用要求。本节将讨论关键器件特性以及如何以最佳方式实现这些特性，从而实现可靠的设计。

推荐电容类型

在输入、输出和偏置引脚上使用低等效串联电阻 (ESR) 陶瓷电容可使器件保持稳定。多层陶瓷电容是此类应用的行业标准，但在使用时必须有良好的判断力。使用 X7R、X5R 和 COG 级介电材料的陶瓷电容具有相对较好的跨温度电容稳定性。避免使用 Y5V 级电容，因为其电容变化较大。无论选择哪种陶瓷电容类型，陶瓷电容都会随工作电压和温度而变化。根据经验，假设有效电容降低 50%。建议工作条件表中推荐的输入、输出和偏置电容的有效电容约为标称值的 50%。

输入和输出电容

为保持稳定，至少需要一个输入陶瓷电容。为保证稳定性，还需要一个最小输出陶瓷电容，有关最小电容值，请参阅推荐工作条件表。

输入电容可抵消无功输入源，改善瞬态响应、输入纹波和 PSRR。如果预期负载或线路瞬态较大、上升时间较快，或者器件距离输入电源有几英寸远，则可能需要使用较高值的输入电容。使用大于推荐工作条件表中规定的最小值的输出电容，可提高器件的动态性能。

虽然不需要偏置电容，但为了达到最佳模拟设计效果，应在 BIAS 和 GND 之间连接一个 $1\mu\text{F}$ 陶瓷电容。如果源阻抗不够低，该电容可抵消无功偏置源。将输入、输出和偏置电容尽可能靠近器件，以最大限度地减少迹线寄生。

压差电压

一般来说，压差电压通常指输入和输出电压之间的最小电压差 $V_{\text{DO}} = V_{\text{IN}} - V_{\text{OUT}}$ 之间的最小电压差。当 $V_{\text{IN}} - V_{\text{OUT}}$ 低于给定负载电流所需的 V_{DO} 时，器件将作为电阻开关工作，无法调节输出电压。压差电压与输出电流成线性比例，因为该器件是作为电阻开关工作的。

压差电压还受通路元件栅极驱动强度的影响，由于通路元件栅极电容的固有非线性，该器件的栅极驱动强度与 VBIAS 呈非线性关系，。

启用和关断

热保护限制了 GM15001 的功耗。当功率开关上的功耗过大 ($P_D = (V_{\text{IN}} - V_{\text{OUT}}) \times I_{\text{OUT}}$) 导致工作结温超过 160°C 时，OTP 电路启动动态关断功能并关闭功率开关。结温冷却 20°C 后，功率开关再次导通。当输出发生短路时，GM15001 输出电压将关闭至零。这可降低芯片温度，并最终在发生输出短路时为用户提供最大的安全性。

结温不应超过绝对最大额定值下列出的 **绝对最大结温** $T_{\text{J(MAX)}}$ ，以避免对器件造成永久性损坏。最大允许功耗取决于 IC 封装的热阻、PCB 布局、周围气流速率以及结与环境温度之间的差异。最大功耗可以使用以下公式计算：

$$P_{D(\text{MAX})} = (T_{\text{J}(\text{MAX})} - T_A) / \theta_{\text{JA}}$$

其中 $T_{\text{J}(\text{MAX})}$ 是最大结温， T_A 是环境温度， θ_{JA} 是结到环境热阻。

对于连续工作，**绝对最大额定值** 指示的最大工作结温为 125°C 。结邻环境热阻 θ_{JA} ，高度依赖于封装。对于 DFN 封装，标准 JEDEC 51-7 高有效导热四层测试板上的热阻 θ_{JA} ，为 72°C/W ， $T_A = 25^\circ\text{C}$ 时的最大功耗可以计算如下

$$P_{D(\text{MAX})} = (125^\circ\text{C} - 25^\circ\text{C}) / (72^\circ\text{C/W}) = 1.39\text{W}$$

最大功率耗散取决于固定 $T_{\text{J}(\text{MAX})}$ 的工作环境温度和热阻 θ_{JA} 。最大功耗将随着环境温度的升高而降低。

电源建议

该器件的设计工作电压输入范围为 0.75 V 至 5.5 V ，偏置电源电压范围为 1.7 V 至 5.5 V 。输入和偏置电源必须稳压良好，没有杂散噪声。为确保输出电压调节良好和动态性能最佳，输入电源必须至少为 V_{OUT} (标称) + 0.5 V ， $V_{\text{BIAS}} = V_{\text{OUT}}$ (标称) + V_{DO} (偏置)。

应用信息

要正确布局印刷电路板 (PCB)，请遵循以下指导原则：

- 尽可能靠近器件放置输入、输出和偏置电容；
- 使用铜平面进行器件连接，以优化散热性能；
- 在器件周围放置散热孔以分散热量。

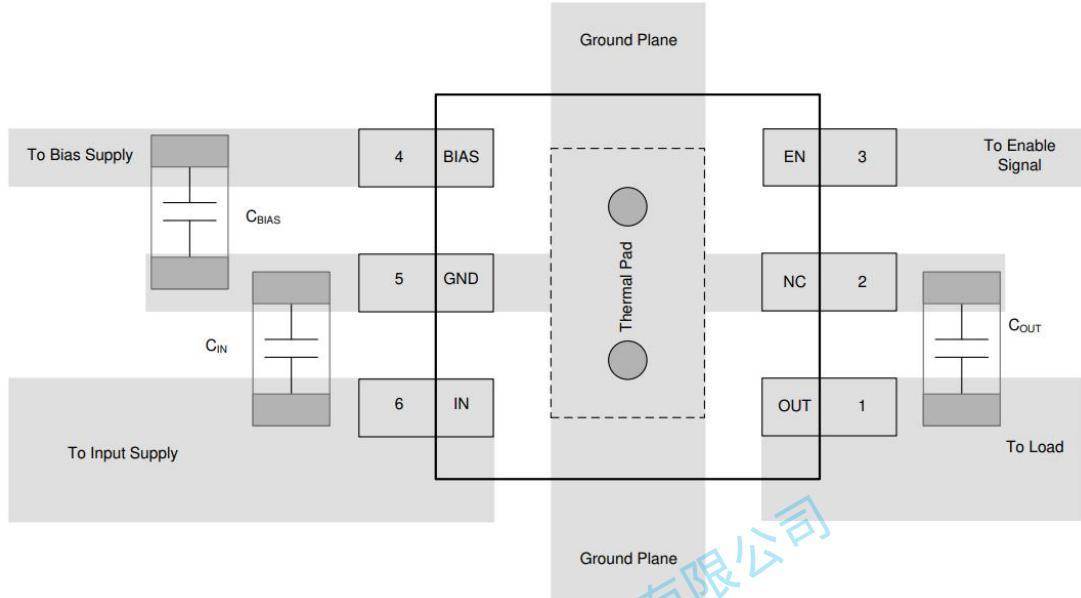


图 23. 版图示例

外形尺寸

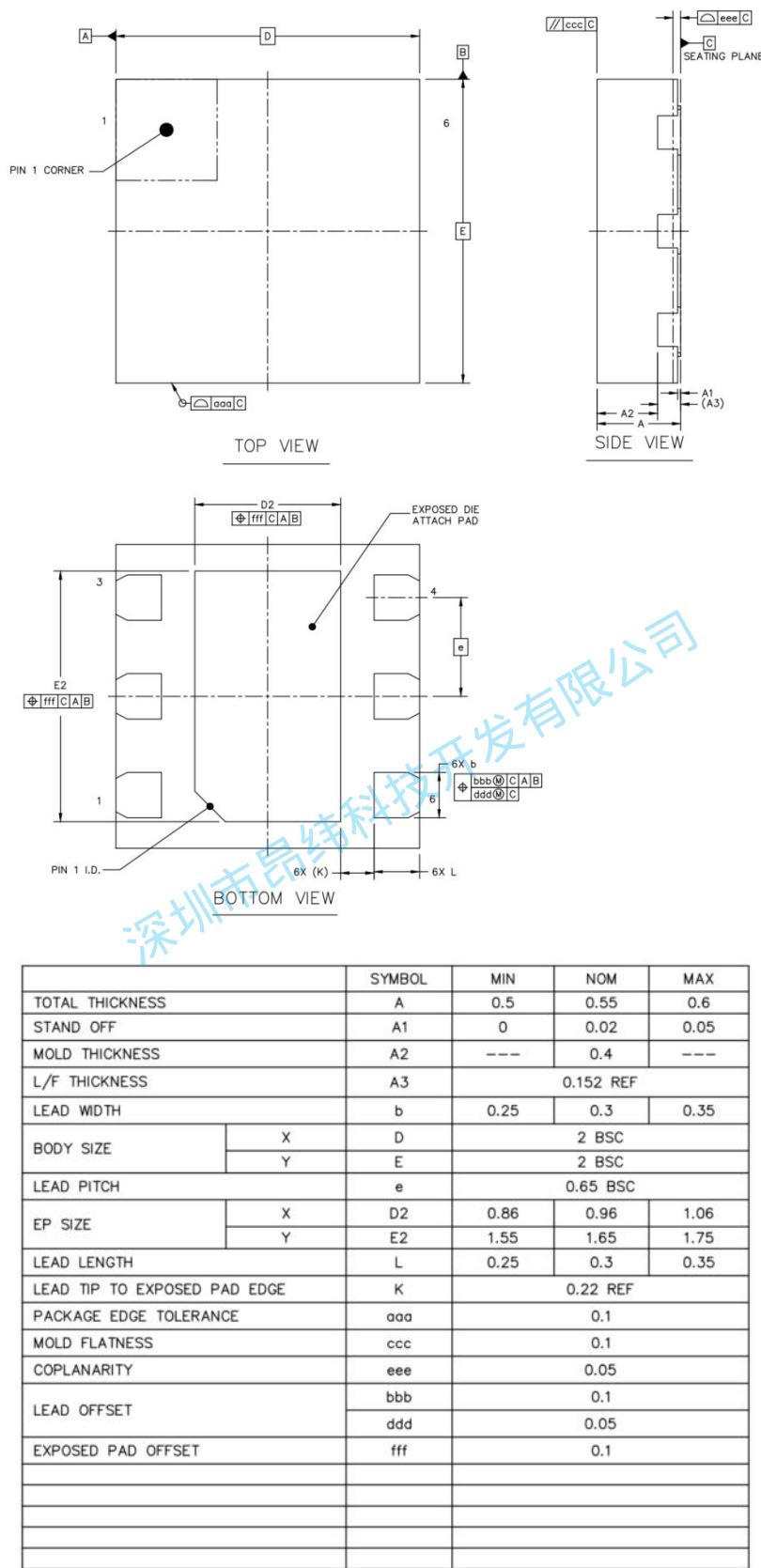
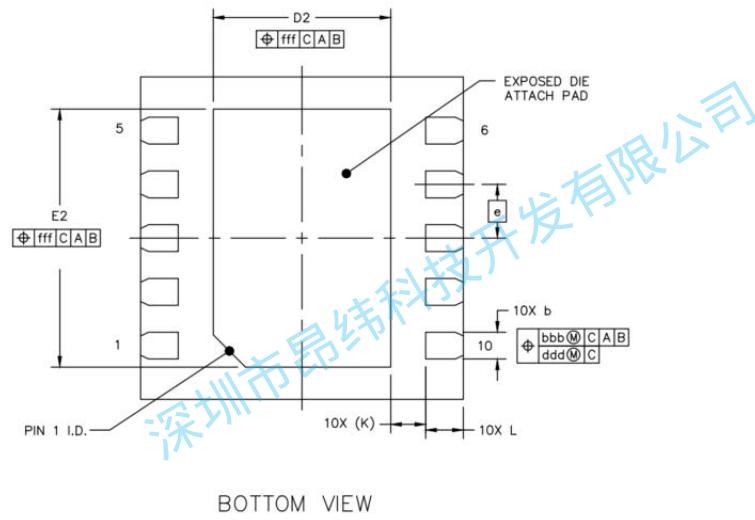
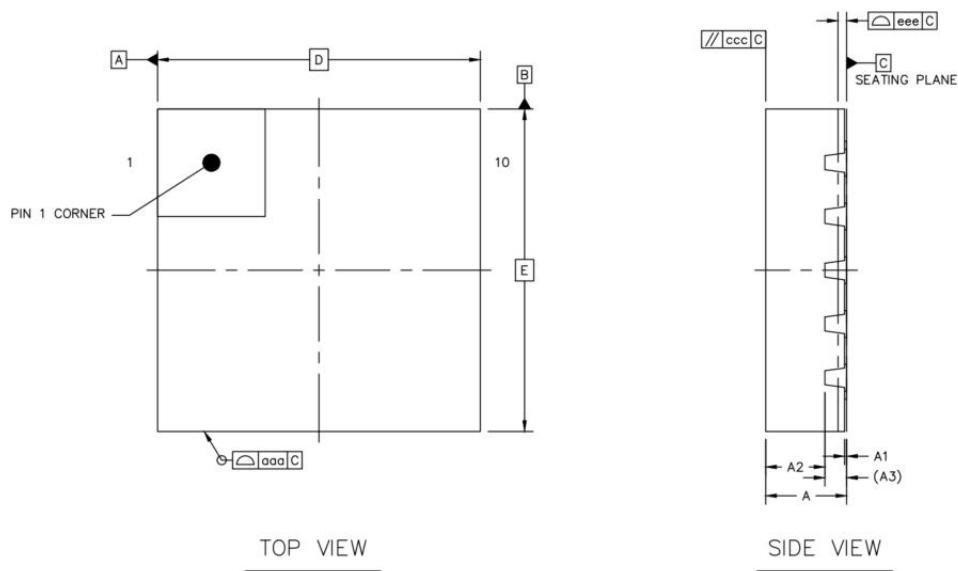


图 24. 2mm x 2mm DFN6



		SYMBOL	MIN	NOM	MAX
TOTAL THICKNESS		A	0.7	0.75	0.8
STAND OFF		A1	0	0.02	0.05
MOLD THICKNESS		A2	---	0.55	---
L/F THICKNESS		A3		0.203 REF	
LEAD WIDTH		b	0.2	0.25	0.3
BODY SIZE	X	D		3 BSC	
	Y	E		3 BSC	
LEAD PITCH		e		0.5 BSC	
EP SIZE	X	D2	1.55	1.65	1.75
	Y	E2	2.3	2.4	2.5
LEAD LENGTH		L	0.25	0.35	0.45
LEAD TIP TO EXPOSED PAD EDGE		K		0.325 REF	
PACKAGE EDGE TOLERANCE		aaa		0.1	
MOLD FLATNESS		ccc		0.1	
COPLANARITY		eee		0.08	
LEAD OFFSET		bbb		0.1	
		ddd		0.05	
EXPOSED PAD OFFSET		fff		0.1	

图 25. 3mm x 3mm DFN8

订购指南

型号 ¹	温度范围	封装描述	封装选项
GM15001ACPZ-1-0.8-R7	-40°C 至+125°C	DFN10, 固定 $V_{OUT} = 0.8V$	CP-10-1
GM15001ACPZ-0.8-R7	-40°C 至+125°C	DFN6, 固定 $V_{OUT} = 0.8V$	CP-6-1
GM15001ACPZ-1.8-R7	-40°C 至+125°C	DFN6, 固定 $V_{OUT} = 1.8V$	CP-6-1

Z = 符合 RoHS 标准的部件。

深圳市昂纬科技开发有限公司